



IEC 62271-101

Edition 3.0 2021-07

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**High-voltage switchgear and controlgear –
Part 101: Synthetic testing**

**Appareillage à haute tension –
Partie 101: Essais synthétiques**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 29.130.10

ISBN 978-2-8322-5246-8

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	9
1 Scope.....	11
2 Normative references.....	11
3 Terms and definitions	11
4 Synthetic testing techniques and methods for short-circuit breaking tests.....	13
4.1 Basic principles and general requirements for synthetic breaking test methods.....	13
4.1.1 General	13
4.1.2 High-current interval.....	14
4.1.3 Interaction interval	15
4.1.4 High-voltage interval	15
4.2 Synthetic test circuits and related specific requirements for breaking tests	18
4.2.1 Current injection methods.....	18
4.2.2 Voltage injection method	19
4.2.3 Duplicate circuit method (transformer or Skeats circuit).....	20
4.2.4 Other synthetic test methods	20
4.3 Three-phase synthetic test methods	20
5 Synthetic testing techniques and methods for short-circuit making tests.....	24
5.1 Basic principles and general requirements for synthetic making test methods	24
5.1.1 General	24
5.1.2 High-voltage interval	27
5.1.3 Pre-arcing interval.....	27
5.1.4 Latching interval and fully closed position	27
5.2 Synthetic test circuit and related specific requirements for making tests	27
5.2.1 General	27
5.2.2 Test circuit and test requirements.....	27
5.2.3 Alternative test method with reduced voltage	32
7 Type tests	33
7.102 General.....	33
7.104 Demonstration of arcing times	34
7.107 Terminal fault tests.....	45
7.109 Short-line fault tests	49
7.110 Out-of-phase making and breaking tests	50
7.111 Capacitive current tests.....	50
Annex A (normative) Correction of di/dt and TRV for test duty T100a	53
A.1 General.....	53
A.2 Reduction in di/dt	53
A.3 Corrected TRV for the first-pole-to-clear with required asymmetry	53
A.4 Correction of the di/dt and TRV of the first-pole-to-clear for tests with intermediate asymmetry	60
A.5 Correction of the di/dt and TRV of the second- or last-pole-to-clear with major extended loop with required asymmetry during three-phase tests.....	61
A.6 Correction of the di/dt and TRV during tests with a subsequent minor loop	61
A.7 Calculation of the di/dt and TRV of the first-pole-to-clear	61
A.7.1 General	61
A.7.2 Calculation of di/dt	61

A.7.3	Calculation of TRV	62
A.7.4	Examples of calculation of di/dt and TRV.....	64
Annex B (normative)	Tolerances on test quantities for type tests.....	66
Annex C (normative)	Information to be given and results to be recorded for synthetic tests	69
C.1	General.....	69
C.2	Auxiliary circuit-breaker	69
C.3	Test conditions.....	69
C.4	Quantities to be recorded	69
C.4.1	General	69
C.4.2	Voltages	69
C.4.3	Currents	69
Annex D (normative)	Test procedure using a three-phase current circuit and one voltage circuit	70
D.1	Test circuit	70
D.2	Test method	71
D.2.1	General	71
D.2.2	Test duty T100s(b).....	71
D.2.3	Test duty T100a	80
D.2.4	Combination of first-pole-to-clear factors 1,3 and 1,5	89
Annex E (normative)	Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear.....	92
E.1	General.....	92
E.2	Test-duties T10, T30, T60, T100s(b), OP1 and OP2(b).....	92
E.2.1	Test procedure for first-pole-to-clear factors 1,5 and 2,5	92
E.2.2	Test procedure for first-pole-to-clear factors 1,3 and 2,0	93
E.2.3	Test procedure for first-pole-to-clear factor 1,2	94
E.3	Test duty T100a	95
E.3.1	General	95
E.3.2	Test procedure for first-pole-to-clear factor 1,5	96
E.3.3	Test procedure for first-pole-to-clear factor 1,3	97
E.3.4	Test procedure for first-pole-to-clear factor 1,2	99
E.4	Combination of first-pole-to-clear factors	100
E.4.1	General	100
E.4.2	Combination of first-pole-to-clear factors 1,3 and 1,5 for test duties T10, T30, T60 and T100s(b).....	100
E.4.3	Combination of first-pole-to-clear factors 2,0 and 2,5 for test duties OP1 and OP2(b).....	101
E.4.4	Combination of first-pole-to-clear factors 1,3 and 1,5 for test duty T100a.....	102
Annex F (informative)	Three-phase synthetic test circuits	114
F.1	General.....	114
F.2	Three-phase synthetic combined circuit	114
F.3	Three-phase synthetic circuit with injection in all phases	117
F.4	Three-phase synthetic circuit with injection in two phases	118
Annex G (informative)	Examples of test circuits for metal-enclosed and dead tank circuit-breakers.....	122
Annex H (informative)	Step-by-step method to prolong arcing	133
Annex I (informative)	Synthetic methods for capacitive current tests	135
I.1	General.....	135

I.2	Recovery voltage	135
I.3	Combined current and voltage circuits	135
I.4	Making tests	136
I.5	Current chopping	136
I.6	Examples test circuits	136
Annex J (normative)	Synthetic test methods for circuit-breakers with opening resistors	145
J.1	General.....	145
J.2	Conditions.....	145
J.2.1	General	145
J.2.2	Transient recovery voltage interval	145
J.2.3	Power-frequency recovery voltage interval.....	145
J.3	Multiple step test procedure	145
J.3.1	General	145
J.3.2	Test to verify the re-ignition behaviour of the making and breaking unit	146
J.3.3	Test to verify the re-ignition behaviour of the making and breaking unit during short circuit test duties with any test method	147
J.3.4	Tests on resistor switch(s).....	148
J.4	Test requirements	149
J.4.1	General	149
J.4.2	Testing of the making and breaking unit.....	150
J.4.3	Testing of the resistor switch	151
J.4.4	Test of the resistor stack	151
Annex K (informative)	Combination of current injection and voltage injection methods.....	152
K.1	Current injection methods.....	152
K.2	Voltage injection methods	152
K.3	Combined current and voltage injection circuits.....	152
K.3.1	General	152
K.3.2	Combined current and voltage injection circuit with application of full test voltage to earth	152
K.3.3	Combined current and voltage injection circuit with separated application of test voltage.....	152
Bibliography	155
Figure 1	– Interrupting process – Basic time intervals	14
Figure 2	– Examples of evaluation of initial recovery voltage.....	17
Figure 3	– Equivalent surge impedance of the voltage circuit for the current injection method.....	19
Figure 4	– Reference lines of TRV with four-parameter for $k_{pp} = 1,5$	22
Figure 5	– Reference lines of TRV with four-parameter for $k_{pp} = 1,3$	23
Figure 6	– Reference lines of TRV with four-parameter for $k_{pp} = 1,2$	24
Figure 7	– Making process – Basic time intervals.....	26
Figure 8	– Example of synthetic making circuit for single-phase tests.....	29
Figure 9	– Example of synthetic making circuit for out-of-phase tests	30
Figure 10	– Example of synthetic making circuit for three-phase tests ($k_{pp} = 1,5$).....	31
Figure 11	– Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,5$	37

Figure 12 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,3$	38
Figure 13 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,5$	41
Figure 14 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,3$	42
Figure 15 – Evaluation of recovery voltage during synthetic capacitive current switching testing	52
Figure D.1 – Example of a three-phase current circuit with single-phase synthetic injection	71
Figure D.2 – Representation of the testing conditions of Table D.1	73
Figure D.3 – Representation of the testing conditions of Table D.2	75
Figure D.4 – Representation of the testing conditions of Table D.3	77
Figure D.5 – Representation of the testing conditions of Table D.4	79
Figure D.6 – Representation of the testing conditions of Table D.5	82
Figure D.7 – Representation of the testing conditions of Table D.6	84
Figure D.8 – Representation of the testing conditions of Table D.7	86
Figure D.9 – Representation of the testing conditions of Table D.8	88
Figure E.1 – Example of graphical representation of the tests shown in Table E.6	97
Figure E.2 – Example of graphical representation of the tests shown in Table E.7 and Table E.8	99
Figure F.1 – Three-phase synthetic combined circuit	115
Figure F.2 – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit	116
Figure F.3 – Three-phase synthetic circuit with injection in all phases for $k_{pp} = 1,5$	117
Figure F.4 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic circuit with injection in all phases	118
Figure F.5 – Three-phase synthetic circuit for terminal fault tests with $k_{pp} = 1,3$ (current injection method)	119
Figure F.6 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit shown in Figure F.5	120
Figure F.7 – TRV voltages waveshapes of the test circuit described in Figure F.5	121
Figure G.1 – Example of a test circuit for unit testing (circuit-breaker with interaction due to gas circulation)	123
Figure G.2 – Oscillogram corresponding to Figure G.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	124
Figure G.3 – Example of test circuit using two voltage circuits for breaking tests	125
Figure G.4 – Example of test circuit using two voltage circuits for breaking tests	126
Figure G.5 – Example of a synthetic test circuit for unit testing (if unit testing is allowed as per 7.102.4.2 of IEC 62271-100:2021)	127
Figure G.6 – Oscillogram corresponding to Figure G.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	128

Figure G.7 – Example of a capacitive current injection circuit with enclosure of the circuit-breaker energized	129
Figure G.8 – Example of a capacitive synthetic circuit using two power-frequency circuits and with the enclosure of the circuit-breaker energized	130
Figure G.9 – Example of a capacitive synthetic current injection circuit – Unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with DC voltage	131
Figure G.10 – Example of a synthetic making circuit for out-of-phase tests	132
Figure H.1 – Example of a re-ignition circuit diagram for prolonging arc-duration	133
Figure H.2 – Example of waveforms obtained during a symmetrical test using the circuit in Figure H.1	134
Figure I.1 – Power-frequency circuits in parallel	138
Figure I.2 – Current injection circuit	139
Figure I.3 – Power-frequency current injection circuit	140
Figure I.4 – Current injection circuit, recovery voltage applied to both terminals of the circuit-breaker	141
Figure I.5 – Current injection circuit with decay compensation	142
Figure I.6 – LC oscillating circuit	143
Figure I.7 – Inrush making current test circuit	144
Figure J.1 – Test circuit to verify re-ignition behaviour of the making and breaking unit using current injection method	147
Figure J.2 – Test circuit to verify re-ignition behaviour of the making and breaking unit	148
Figure J.3 – Test circuit on the resistor switch	149
Figure J.4 – Example of test circuit for capacitive current switching tests on the making and breaking unit	150
Figure J.5 – Example of test circuit for capacitive current switching tests on the resistor switch	151
Figure K.1 – Example of combined current and voltage injection circuit with application of full test voltage to earth	153
Figure K.2 – Example of combined current and voltage injection circuit with separated application of test voltage	154
Table 1 – Tolerances and limits required during the high-current interval	15
Table 2 – Test circuits for test duties T100s and T100a	21
Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,5$	21
Table 4 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$	22
Table 5 – Test parameters during three phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,2$	23
Table 6 – Symbols and abbreviated terms used for operation during synthetic tests	33
Table 7 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF	46
Table A.1 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz	54
Table A.2 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz	55

Table A.3 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 50$ Hz	57
Table A.4 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz	58
Table A.5 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz	58
Table A.6 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz	59
Table A.7 – Percentage of DC component and di/dt at current zero for first-pole-to-clear for $f_r = 50$ Hz	59
Table A.8 – Percentage of DC component and di/dt at current zero for first-pole-to-clear for $f_r = 60$ Hz	60
Table B.1 – Tolerances on test quantities for type tests	67
Table D.1 – Demonstration of arcing times for $k_{pp} = 1,5$	72
Table D.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	74
Table D.3 – Demonstration of arcing times for $k_{pp} = 1,3$	76
Table D.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	78
Table D.5 – Demonstration of arcing times for $k_{pp} = 1,5$	81
Table D.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	83
Table D.7 – Demonstration of arcing times for $k_{pp} = 1,3$	85
Table D.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	87
Table D.9 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duties T10, T30, T60 and T100s(b)	89
Table D.10 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duty T100a	90
Table E.1 – Test procedure for $k_{pp} = 1,5$ and 2,5	92
Table E.2 – Test procedure for $k_{pp} = 1,3$ and 2,0	93
Table E.3 – Simplified test procedure for $k_{pp} = 1,3$ and 2,0	94
Table E.4 – Test procedure for $k_{pp} = 1,2$	95
Table E.5 – Simplified test procedure for $k_{pp} = 1,2$	95
Table E.6 – Test procedure for asymmetrical currents for $k_{pp} = 1,5$	96
Table E.7 – Test procedure for asymmetrical currents for $k_{pp} = 1,3$	98
Table E.8 – Test procedure for asymmetrical currents for $k_{pp} = 1,2$	100
Table E.9 – Procedure for combining $k_{pp} = 1,3$ and 1,5 for test-duties T10, T30, T60 and T100s(b)	101
Table E.10 – Procedure for combining $k_{pp} = 2,0$ and 2,5 for test-duties OP1 and OP2(b)	102
Table E.11 – Procedure for combining $k_{pp} = 1,5$ and 1,3 for test-duty T100a	103
Table E.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 50$ Hz	104

Table E.13 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1,3, f_r = 50$ Hz	106
Table E.14 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2, f_r = 50$ Hz	108
Table E.15 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5, f_r = 60$ Hz	109
Table E.16 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,3, f_r = 60$ Hz	111
Table E.17 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2, f_r = 60$ Hz	113

INTERNATIONAL ELECTROTECHNICAL COMMISSION

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –**Part 101: Synthetic testing**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62271-101 has been prepared by subcommittee 17A: Switching devices, of IEC technical committee 17: High-voltage switchgear and controlgear.

This third edition cancels and replaces the second edition published in 2012 and Amendment 1:2017. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the second edition:

- a) alignment with the third edition of IEC 62271-100:2021;
- b) update this document with the last methods and techniques used for synthetic tests;

The text of this document is based on the following documents:

FDIS	Report on voting
17A/1312/FDIS	17A/1315/RVD

Full information on the voting for its approval can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

This document was drafted in accordance with ISO/IEC Directives, Part 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at www.iec.ch/members_experts/refdocs. The main document types developed by IEC are described in greater detail at www.iec.ch/standardsdev/publications.

This publication shall be read in conjunction with IEC 62271-100:2021, to which it refers. The numbering of the subclauses of Clause 7 is the same as in IEC 62271-100. However, not all subclauses of IEC 62271-100 are addressed; merely those where synthetic testing has introduced changes.

A list of all the parts in the IEC 62271 series, under the general title *High-voltage switchgear and controlgear*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under webstore.iec.ch in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

The contents of the corrigendum of October 2021 have been included in this copy.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

1 Scope

This part of IEC 62271 mainly applies to AC circuit-breakers within the scope of IEC 62271-100. It provides the general rules for testing AC circuit-breakers, for making and breaking capacities over the range of test duties described in 7.102 to 7.111 of IEC 62271-100:2021, by synthetic methods.

It has been proven that synthetic testing is an economical and technically correct way to test high-voltage AC circuit-breakers according to the requirements of IEC 62271-100 and that it is equivalent to direct testing.

The methods and techniques described are those in general use. The purpose of this document is to establish criteria for synthetic testing and for the proper evaluation of results. Such criteria will establish the validity of the test method without imposing restraints on innovation of test circuitry.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 62271-100:2021, *High-voltage switchgear and controlgear – Part 100: Alternating-current circuit-breakers*

SOMMAIRE

AVANT-PROPOS	163
1 Domaine d'application	165
2 Références normatives	165
3 Termes et définitions	165
4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit	167
4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure	167
4.1.1 Généralités	167
4.1.2 Période de fort courant	169
4.1.3 Période d'interaction	169
4.1.4 Période de haute tension	170
4.2 Circuits d'essais synthétiques et exigences spécifiques connexes relatives aux essais de coupure	172
4.2.1 Méthodes par injection de courant	172
4.2.2 Méthode par injection de tension	173
4.2.3 Circuit de Skeats (ou par transformateur)	174
4.2.4 Autres méthodes d'essais synthétiques	174
4.3 Méthodes d'essais synthétiques triphasés	174
5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit	179
5.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques d'établissement	179
5.1.1 Généralités	179
5.1.2 Période de haute tension	182
5.1.3 Durée de préarc.....	182
5.1.4 Période de fermeture et d'accrochage et position de fermeture complète.....	182
5.2 Circuit d'essai synthétique et exigences spécifiques connexes relatives aux essais d'établissement	182
5.2.1 Généralités	182
5.2.2 Circuit d'essai et exigences d'essai	182
5.2.3 Méthode d'essai alternative à tension réduite	187
7 Essais de type	188
7.102 Généralités	188
7.104 Démonstration des durées d'arc.....	189
7.107 Essais de défaut aux bornes	200
7.109 Essais de défaut proche en ligne	203
7.110 Essais d'établissement et de coupure en discordance de phases.....	204
7.111 Essais au courant capacitif	205
Annexe A (normative) Correction du rapport di/dt et de la TTR pour la séquence d'essais T100a	208
A.1 Généralités	208
A.2 Réduction du rapport di/dt	208
A.3 TTR corrigée pour le premier pôle qui coupe avec l'asymétrie exigée	208
A.4 Correction du rapport di/dt et de la TTR du premier pôle qui coupe pour les essais avec asymétrie intermédiaire	215

A.5	Correction du rapport di/dt et de la TTR du deuxième pôle qui coupe ou du dernier pôle qui coupe avec grande alternance rallongée avec asymétrie exigée pendant les essais triphasés.....	216
A.6	Correction du rapport di/dt et de la TTR pendant les essais avec une petite alternance suivante.....	216
A.7	Calcul du rapport di/dt et de la TTR du premier pôle qui coupe.....	216
A.7.1	Généralités.....	216
A.7.2	Calcul du rapport di/dt	216
A.7.3	Calcul de la TTR.....	217
A.7.4	Exemples de calcul du rapport di/dt et de la TTR.....	219
Annexe B (normative)	Tolérances sur les grandeurs d'essai lors des essais de type.....	221
Annexe C (normative)	Indications à donner et résultats à enregistrer lors d'essais synthétiques.....	224
C.1	Généralités.....	224
C.2	Disjoncteur auxiliaire.....	224
C.3	Conditions d'essai.....	224
C.4	Grandeurs à enregistrer.....	224
C.4.1	Généralités.....	224
C.4.2	Tensions.....	224
C.4.3	Courants.....	224
Annexe D (normative)	Procédure d'essai avec circuit de courant triphasé et un circuit de tension.....	225
D.1	Circuit d'essai.....	225
D.2	Méthode d'essai.....	226
D.2.1	Généralités.....	226
D.2.2	Séquence d'essais T100s(b).....	226
D.2.3	Séquence d'essai T100a.....	235
D.2.4	Combinaison des facteurs de premier pôle qui coupe 1,3 et 1,5.....	244
Annexe E (normative)	Séparation des séquences d'essais en séries d'essais compte tenu de la TTR associée à chaque pôle qui coupe.....	247
E.1	Généralités.....	247
E.2	Séquences d'essais T10, T30, T60, T100s(b), OP1 et OP2(b).....	247
E.2.1	Procédure d'essai pour des facteurs de premier pôle qui coupe 1,5 et 2,5.....	247
E.2.2	Procédure d'essai pour des facteurs de premier pôle qui coupe 1,3 et 2,0.....	248
E.2.3	Procédure d'essai pour un facteur de premier pôle qui coupe de 1,2.....	249
E.3	Séquence d'essai T100a.....	250
E.3.1	Généralités.....	250
E.3.2	Procédure d'essai pour un facteur de premier pôle qui coupe de 1,5.....	251
E.3.3	Procédure d'essai pour un facteur de premier pôle qui coupe de 1,3.....	252
E.3.4	Procédure d'essai pour un facteur de premier pôle qui coupe de 1,2.....	254
E.4	Combinaison des facteurs de premier pôle qui coupe.....	255
E.4.1	Généralités.....	255
E.4.2	Combinaison des facteurs de premier pôle qui coupe 1,3 et 1,5 pour les séquences d'essais T10, T30, T60 et T100s(b).....	255
E.4.3	Combinaison des facteurs de premier pôle qui coupe 2,0 et 2,5 pour les séquences d'essais OP1 et OP2(b).....	256
E.4.4	Combinaison des facteurs de premier pôle qui coupe 1,3 et 1,5 pour la séquence d'essais T100a.....	257
Annexe F (informative)	Circuits d'essais synthétiques triphasés.....	269

F.1	Généralités	269
F.2	Circuit combiné d'essais synthétiques triphasés.....	269
F.3	Circuit d'essais synthétiques triphasés avec une injection dans toutes les phases.....	272
F.4	Circuit d'essais synthétiques triphasés avec une injection en deux phases	273
Annexe G (informative) Exemples de circuits d'essais pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre.....		277
Annexe H (informative) Méthode "pas à pas" pour la prolongation de l'arc		288
Annexe I (informative) Méthodes d'essais synthétiques pour les essais d'établissement et de coupure de courants capacitifs		290
I.1	Généralités	290
I.2	Tension de rétablissement	290
I.3	Circuits combinés de courant et de tension	291
I.4	Essais d'établissement.....	291
I.5	Arrachement du courant.....	291
I.6	Exemples de circuits d'essais	292
Annexe J (normative) Méthodes d'essais synthétiques pour les disjoncteurs équipés de résistances d'ouverture		300
J.1	Généralités	300
J.2	Conditions	300
J.2.1	Généralités	300
J.2.2	Période de tension transitoire de rétablissement.....	300
J.2.3	Période de tension de rétablissement à fréquence industrielle	300
J.3	Procédure d'essai en plusieurs étapes	301
J.3.1	Généralités	301
J.3.2	Essai de vérification de la capacité de coupure thermique de l'interrupteur principal	301
J.3.3	Essai de vérification de la capacité de coupure diélectrique de l'interrupteur principal pendant les séquences d'essais en court-circuit avec toute méthode d'essai	302
J.3.4	Essais sur l'interrupteur ou les interrupteurs de résistance	303
J.4	Exigences d'essais	304
J.4.1	Généralités	304
J.4.2	Essais sur l'interrupteur principal.....	305
J.4.3	Essais sur l'interrupteur de résistance	306
J.4.4	Essai de l'empilage de résistances	307
Annexe K (informative) Combinaison des méthodes par injection de courant et par injection de tension.....		308
K.1	Méthodes par injection de courant	308
K.2	Méthodes par injection de tension.....	308
K.3	Circuits combinés d'injection de courant et de tension	308
K.3.1	Généralités	308
K.3.2	Circuit combiné d'injection de courant et de tension avec application de la tension d'essai complète par rapport à la terre.....	308
K.3.3	Circuit combiné d'injection de courant et de tension avec application séparée de la tension d'essai	308
Bibliographie.....		311
Figure 1 – Processus de coupure – Instants principaux.....		168
Figure 2 – Exemples d'évaluation de la tension de rétablissement initiale		171

Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant	173
Figure 4 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,5$	176
Figure 5 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,3$	178
Figure 6 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,2$	179
Figure 7 – Processus d'établissement – Instants principaux	181
Figure 8 – Exemple de circuit d'essais synthétiques d'établissement pour les essais monophasés	184
Figure 9 – Exemple de circuit d'essais synthétiques d'établissement pour les essais en discordance de phase	185
Figure 10 – Exemple de circuit d'essais synthétiques d'établissement pour les essais triphasés ($k_{pp} = 1,5$)	186
Figure 11 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,5$	192
Figure 12 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,3$	193
Figure 13 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$	196
Figure 14 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,3$	197
Figure 15 – Évaluation de la tension de rétablissement en essai synthétique d'établissement et de coupure de courants capacitifs	207
Figure D.1 – Exemple d'un circuit de courant triphasé avec une injection synthétique monophasée	226
Figure D.2 – Représentation des conditions d'essai du Tableau D.1	228
Figure D.3 – Représentation des conditions d'essai du Tableau D.2	230
Figure D.4 – Représentation des conditions d'essai du Tableau D.3	232
Figure D.5 – Représentation des conditions d'essai du Tableau D.4	234
Figure D.6 – Représentation des conditions d'essai du Tableau D.5	237
Figure D.7 – Représentation des conditions d'essai du Tableau D.6	239
Figure D.8 – Représentation des conditions d'essai du Tableau D.7	241
Figure D.9 – Représentation des conditions d'essai du Tableau D.8	243
Figure E.1 – Exemple de représentation graphique des essais présentés dans le Tableau E.6	252
Figure E.2 – Exemple de représentation graphique des essais présentés dans le Tableau E.7 et le Tableau E.8	254
Figure F.1 – Circuit combiné d'essais synthétiques triphasés	270
Figure F.2 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé selon le circuit combiné d'essais synthétiques triphasés	271
Figure F.3 – Circuit d'essais synthétiques triphasés avec injection dans toutes les phases pour $k_{pp} = 1,5$	272

Figure F.4 – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé selon le circuit d'essais synthétiques triphasés avec injection dans toutes les phases	273
Figure F.5 – Circuit d'essais synthétiques triphasés pour les essais de défauts aux bornes avec $k_{pp} = 1,3$ (méthode par injection de courant).....	274
Figure F.6 – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,3$) réalisé selon le circuit d'essais synthétiques triphasés présenté à la Figure F.5.....	275
Figure F.7 – Formes d'ondes des tensions TTR du circuit d'essai décrit à la Figure F.5.....	276
Figure G.1 – Exemple d'un circuit d'essai pour essais par éléments séparés (disjoncteur avec interaction due à la circulation de gaz)	278
Figure G.2 – Oscillogramme correspondant à la Figure G.1 – Exemple des TTR exigées à appliquer entre les bornes de l'unité ou des unités en essai et entre les parties actives et l'enveloppe isolée	279
Figure G.3 – Exemple de circuit d'essai utilisant deux circuits de tension pour les essais de coupure.....	280
Figure G.4 – Exemple de circuit d'essai utilisant deux circuits de tension pour les essais de coupure.....	281
Figure G.5 – Exemple d'un circuit d'essai synthétique pour essais par éléments séparés (si l'essai par éléments séparés est autorisé selon 7.102.4.2 de l'IEC 62271-100:2021)	282
Figure G.6 – Oscillogramme correspondant à la Figure G.3 – Exemple des TTR exigées à appliquer entre les bornes de l'unité ou des unités en essai et entre les parties actives et l'enveloppe isolée	283
Figure G.7 – Exemple d'un circuit pour essais capacitifs avec injection de courant avec enveloppe du disjoncteur sous tension	284
Figure G.8 – Exemple d'un circuit d'essais synthétiques pour essais capacitifs utilisant deux circuits à fréquence industrielle et avec l'enveloppe du disjoncteur sous tension	285
Figure G.9 – Exemple d'un circuit synthétique pour essais capacitifs avec injection de courant – Essais par éléments séparés d'un demi-pôle d'un disjoncteur à deux éléments par pôle – Enveloppe alimentée par une tension continue.....	286
Figure G.10 – Exemple d'un circuit d'essais synthétiques d'établissement pour les essais en discordance de phase	287
Figure H.1 – Exemple d'un schéma de circuit de réallumage pour prolongation de la durée d'arc	288
Figure H.2 – Exemple de formes d'ondes obtenues pendant un essai symétrique avec le circuit de la Figure H.1	289
Figure I.1 – Circuits en parallèle à fréquence industrielle	293
Figure I.2 – Circuit à injection de courant.....	294
Figure I.3 – Circuit à injection de courant à fréquence industrielle.....	295
Figure I.4 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur	296
Figure I.5 – Circuit à injection de courant avec compensation de la décroissance	297
Figure I.6 – Circuit oscillant LC	298
Figure I.7 – Circuit d'essai d'établissement du courant d'appel de fermeture	299
Figure J.1 – Circuit d'essai de vérification de la capacité de coupure thermique de l'interrupteur principal par la méthode par injection de courant	302
Figure J.2 – Circuit d'essai de vérification de la capacité de coupure de l'interrupteur principal.....	303
Figure J.3 – Circuit d'essai de l'interrupteur de résistance	304

Figure J.4 – Exemple de circuit d’essai pour essais d’établissement et de coupure de courants capacitifs sur l’interrupteur principal	306
Figure J.5 – Exemple de circuit d’essai pour essais d’établissement et de coupure de courants capacitifs sur l’interrupteur de résistance.....	307
Figure K.1 – Exemple de circuit combiné d’injection de courant et de tension avec application de la tension d’essai complète par rapport à la terre	309
Figure K.2 – Exemple de circuit combiné d’injection de courant et de tension avec application séparée de la tension d’essai.....	310
Tableau 1 – Tolérances et limites exigées pendant la période de fort courant.....	169
Tableau 2 – Circuits d’essais pour les séquences d’essais T100s et T100a	175
Tableau 3 – Paramètres d’essai pendant la coupure triphasée pour les séquences d’essai T10, T30, T60 et T100s, $k_{pp} = 1,5$	176
Tableau 4 – Paramètres d’essai pendant la coupure triphasée pour les séquences d’essai T10, T30, T60 et T100s, $k_{pp} = 1,3$	177
Tableau 5 – Paramètres d’essai pendant la coupure triphasée pour les séquences d’essai T10, T30, T60 et T100s, $k_{pp} = 1,2$	178
Tableau 6 – Symboles et termes abrégés utilisés pour les manœuvres pendant les essais synthétiques	188
Tableau 7 – Méthodes d’essais synthétiques pour les séquences d’essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF	201
Tableau A.1 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 50$ Hz	209
Tableau A.2 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 60$ Hz	210
Tableau A.3 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 50$ Hz	212
Tableau A.4 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 60$ Hz	213
Tableau A.5 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 50$ Hz	213
Tableau A.6 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 60$ Hz	214
Tableau A.7 – Pourcentage de la composante continue et di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 50$ Hz	214
Tableau A.8 – Pourcentage de la composante continue et di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 60$ Hz	215
Tableau B.1 – Tolérances sur les grandeurs d’essais lors des essais de type.....	222
Tableau D.1 – Démonstration des durées d’arc pour $k_{pp} = 1,5$	227
Tableau D.2 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,5$	229
Tableau D.3 – Démonstration des durées d’arc pour $k_{pp} = 1,3$	231
Tableau D.4 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,3$	233
Tableau D.5 – Démonstration des durées d’arc pour $k_{pp} = 1,5$	236
Tableau D.6 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,5$	238
Tableau D.7 – Démonstration des durées d’arc pour $k_{pp} = 1,3$	240

Tableau D.8 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,3$	242
Tableau D.9 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pour les séquences d’essais T10, T30, T60 et T100s(b).....	244
Tableau D.10 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pour la séquence d’essai T100a	245
Tableau E.1 – Procédure d’essai pour $k_{pp} = 1,5$ et $2,5$	247
Tableau E.2 – Procédure d’essai pour $k_{pp} = 1,3$ et $2,0$	248
Tableau E.3 – Procédure d’essai simplifiée pour $k_{pp} = 1,3$ et $2,0$	249
Tableau E.4 – Procédure d’essai pour $k_{pp} = 1,2$	250
Tableau E.5 – Procédure d’essai simplifiée pour $k_{pp} = 1,2$	250
Tableau E.6 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,5$	251
Tableau E.7 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,3$	253
Tableau E.8 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,2$	255
Tableau E.9 – Procédure de combinaison de $k_{pp} = 1,3$ et $1,5$ pour les séquences d’essais T10, T30, T60 et T100s(b).....	256
Tableau E.10 – Procédure de combinaison de $k_{pp} = 2,0$ et $2,5$ pour les séquences d’essais OP1 et OP2(b)	257
Tableau E.11 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pour la séquence d’essais T100a	258
Tableau E.12 – Paramètres d’essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,5, f_r = 50$ Hz.....	259
Tableau E.13 – Paramètres d’essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,3, f_r = 50$ Hz.....	261
Tableau E.14 – Paramètres d’essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,2, f_r = 50$ Hz.....	263
Tableau E.15 – Paramètres d’essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,5, f_r = 60$ Hz.....	264
Tableau E.16 – Paramètres d’essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,3, f_r = 60$ Hz.....	266
Tableau E.17 – Paramètres d’essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,2, f_r = 60$ Hz.....	268

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

APPAREILLAGE À HAUTE TENSION –**Partie 101: Essais synthétiques****AVANT-PROPOS**

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments du présent document de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

La Norme internationale IEC 62271-101 a été établie par le sous-comité 17A: Appareils de connexion, du comité d'études 17 de l'IEC: Appareillage à haute tension.

Cette troisième édition annule et remplace la deuxième édition parue en 2012 et l'Amendement 1:2017. Cette édition constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à la deuxième édition:

- a) alignement sur la troisième édition de l'IEC 62271-100:2021;
- b) mise à jour du présent document avec les méthodes et techniques récentes utilisées pour les essais synthétiques.

Le texte du présent document est issu des documents suivants:

FDIS	Rapport de vote
17A/1312/FDIS	17A/1315/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Le présent document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous www.iec.ch/members_experts/refdocs. Les principaux types de documents développés par l'IEC sont décrits plus en détail sous www.iec.ch/standardsdev/publications.

Cette publication doit être lue conjointement avec l'IEC 62271-100:2021, à laquelle elle se réfère. La numérotation des paragraphes de l'Article 7 reprend celle de l'IEC 62271-100. Néanmoins, tous les paragraphes de l'IEC 62271-100 ne sont pas concernés, uniquement ceux pour lesquels les essais synthétiques ont introduit des modifications.

Une liste de toutes les parties de la série IEC 62271, sous le titre général *Appareillage à haute tension*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu du présent document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous webstore.iec.ch dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

Le contenu du corrigendum d'octobre 2021 a été pris en considération dans cet exemplaire.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

1 Domaine d'application

La présente partie de l'IEC 62271 s'applique principalement aux disjoncteurs à courant alternatif définis dans le domaine d'application de l'IEC 62271-100. Elle donne les règles générales d'essais de ces disjoncteurs, pour les pouvoirs de fermeture et de coupure dans la plage des séquences d'essais décrites de 7.102 à 7.111 de l'IEC 62271-100:2021, à l'aide de méthodes d'essais synthétiques.

Il a été démontré que l'essai synthétique est un moyen économique et techniquement valable pour soumettre à l'essai les disjoncteurs à courant alternatif à haute tension selon les exigences de l'IEC 62271-100, et qu'il est équivalent à un essai direct.

Les méthodes et techniques décrites sont celles d'usage courant. L'objet du présent document est d'établir des critères pour les essais synthétiques et pour l'évaluation correcte des résultats. Ces critères établissent la validité de la méthode d'essai sans limiter l'invention de nouveaux circuits d'essais.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 62271-100:2021, *Appareillage à haute tension – Partie 100: Disjoncteurs à courant alternatif*